

DS90CR287/DS90CR288A

+ 3.3V 立ち上がりエッジ・データ・ストローク 28-Bit Channel Link-85MHz

概要

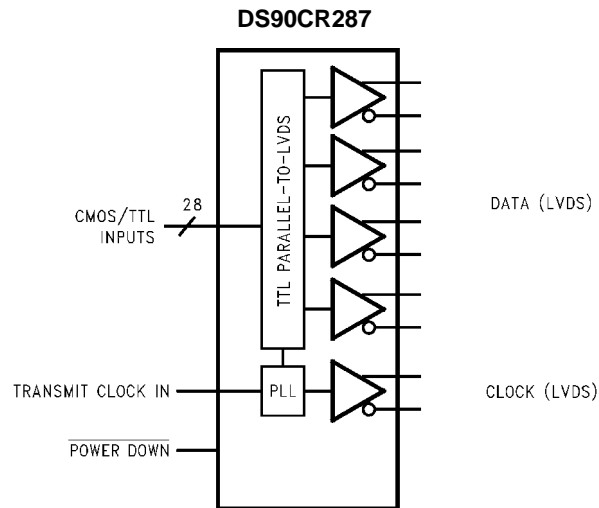
トランスミッタの DS90CR287 は 28 ビットの LVCMOS/LVTTL データを 4 つの LVDS (Low Voltage Differential Signaling) データ・ストリームへ変換します。位相調整されたトランスミット・クロックはデータ・ストリームとともに並列に 5 つ目の LVDS リンクにより転送されます。トランスミット・クロックのサイクル毎に 28 ビットの入力データはサンプリングされ、転送されます。レシーバの DS90CR288A は 4 つの LVDS データ・ストリームを 28 ビットの LVCMOS/LVTTL データに復元します。トランスミット・クロックの周波数が 85MHz 時には、28 ビットの TTL データは LVDS1 チャンネルあたり 595Mbps のスピードになり、トータル・スループットは 2.38Gbps(297.5Mbytes/s) で転送されます。いずれのデバイスも 64 ボール、0.8mm 間隔のファイン・ピッチ・ボール・グリッド・アレイ (FBGA) パッケージでも供給され、56 ピンの TSSOP パッケージに比べて実装面積を 44 % 減らすことが可能です。

このチップセットは、TTL のスピードとバス幅により引き起こされていた、ケーブルのサイズや EMI の問題を解決する理想的なチップセットです。

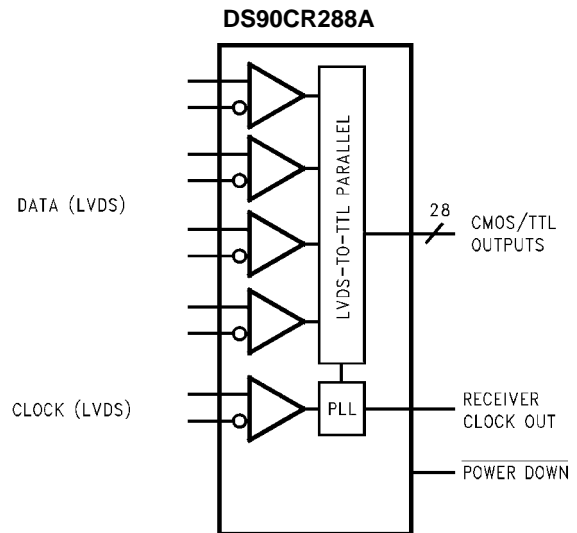
特長

- 20 ~ 85MHz クロックに対応
- 50%デューティ・サイクルのレシーバ・クロック出力
- 2.5/0ns セットアップ / ホールド・タイム (TxINPUT)
- 低消費電力
- ± 1V 同相電圧範囲 (+ 1.2V 中心)
- バス幅の低減によるケーブルの小型化、コスト削減が可能
- データ・スループット 2.38Gbit/s
- 297.5Mbytes/s の高速転送
- 低 EMI を実現する 345mV (typ) 信号振幅
- PLL は外付け部品不要
- 立ち上がりエッジ・データ・ストローク
- TIA/EIA-644 LVDS 標準準拠
- 高密度実装を可能にする 56 ピン TSSOP パッケージ
- 64 ボール、0.8mm 間隔のファイン・ピッチ・ボール・グリッド・アレイ (FBGA) パッケージでも供給

ブロック図

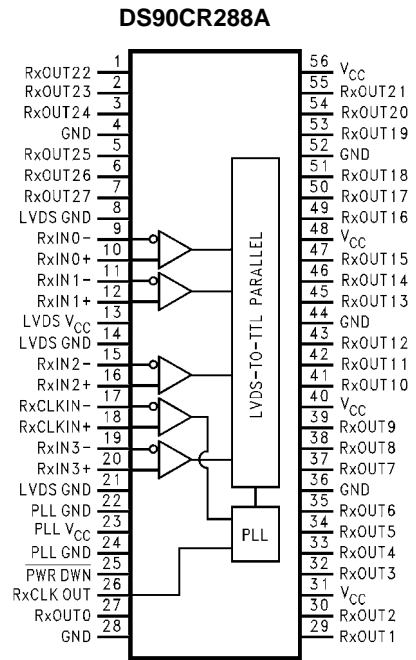
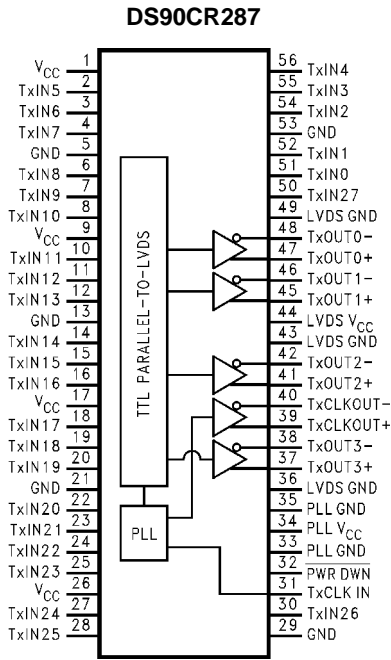


Order Number DS90CR287MTD or DS90CR287SLC
See NS Package Number MTD56 or SLC64A

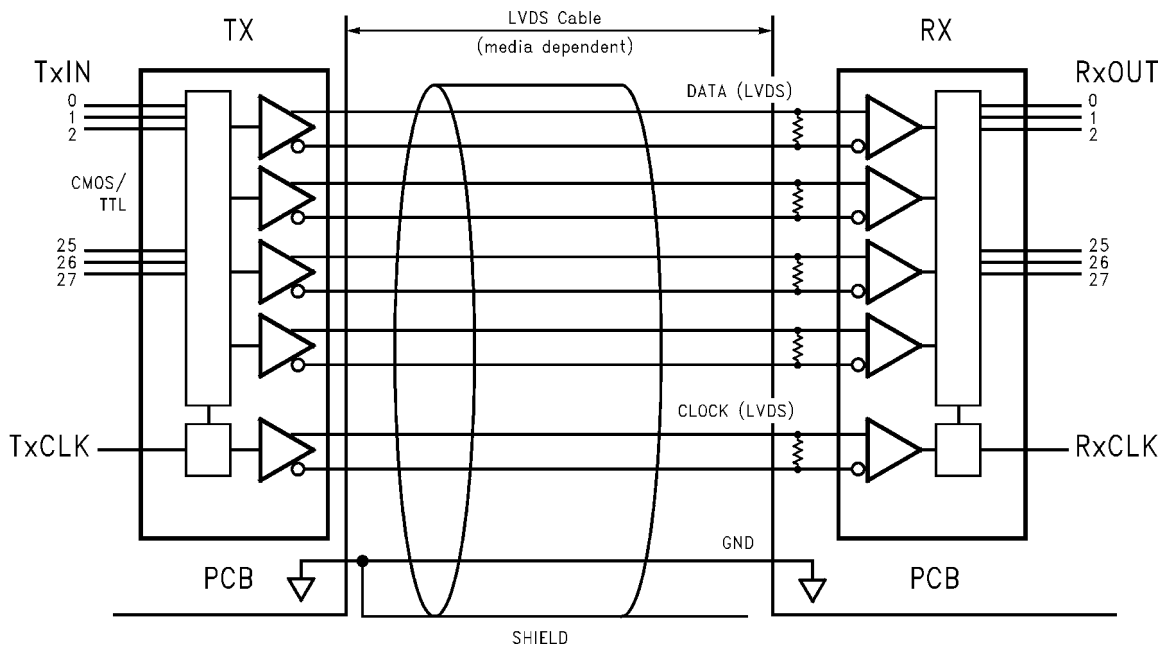


Order Number DS90CR288AMTD or DS90CR288ASLC
See NS Package Number MTD56 or SLC64A

TSSOP パッケージのピン配置図



代表的なアプリケーション



絶対最大定格 (Note 1)

本データシートには軍用・航空宇宙用の規格は記載されていません。
関連する電気的信頼性試験方法の規格を参照下さい。

電源電圧 (V_{CC})	- 0.3V ~ + 4V
CMOS/TTL 入力電圧	- 0.5V ~ ($V_{CC} + 0.3V$)
CMOS/TTL 出力電圧	- 0.3V ~ ($V_{CC} + 0.3V$)
LVDS レシーバ入力電圧	- 0.3V ~ ($V_{CC} + 0.3V$)
LVDS ドライバ出力電圧	- 0.3V ~ ($V_{CC} + 0.3V$)
LVDS 出力短絡時間	連続
PN 接合温度	+ 150
保存温度範囲	- 65 ~ + 150
許容リード温度 (ハンダ付け 4 秒)	+ 260
ハンダ・リフロー温度 (FBGA で 20 秒)	+ 220

最大パッケージ許容損失 (+ 25 のとき)

MTD56 (TSSOP) パッケージ:	
DS90CR287MTD	1.63W
DS90CR288AMTD	1.61W
*周囲温度 + 25 を超える場合は、	
DS90CR287MTD	12.5mW/
DS90CR288AMTD	12.4mW/

を減じてください。

最大パッケージ許容損失 (+ 25 のとき)

SLC64A パッケージ:	
DS90CR287SLC	2.0W
DS90CR288ASLC	2.0W
*周囲温度 + 25 を超える場合は、	
DS90CR287SLC	10.2mW/
DS90CR288ASLC	10.2mW/
を減じてください。	
ESD 耐圧	
(HBM、1.5k、100pF)	> 7kV
(EIAJ、0、200pF)	> 700V
25 におけるラッチアップ耐圧	> ± 300mA

推奨動作条件

	最小値	標準値	最大値	単位
電源電圧 (V_{CC})	3.0	3.3	3.6	V
動作周囲温度 (T_A)	- 10	+ 25	+ 70	
レシーバ入力電圧範囲	0		2.4	V
電源ノイズ電圧 (V_{CC})			100	mV _{PP}

電気的特性

特記のない限り、推奨動作電源電圧および動作温度範囲に対して適用。

Symbol	Parameter	Conditions	Min	Typ	Max	Units
LVCMOS/LVTTL DC SPECIFICATIONS						
V_{IH}	High Level Input Voltage		2.0		V_{CC}	V
V_{IL}	Low Level Input Voltage		GND		0.8	V
V_{OH}	High Level Output Voltage	$I_{OH} = - 0.4 \text{ mA}$	2.7	3.3		V
V_{OL}	Low Level Output Voltage	$I_{OL} = 2 \text{ mA}$		0.06	0.3	V
V_{CL}	Input Clamp Voltage	$I_{CL} = - 18 \text{ mA}$		- 0.79	- 1.5	V
I_{IN}	Input Current	$V_{IN} = 0.4V, 2.5V \text{ or } V_{CC}$		+ 1.8	+ 15	μA
		$V_{IN} = \text{GND}$	- 10	0		μA
I_{OS}	Output Short Circuit Current	$V_{OUT} = 0V$		- 60	- 120	mA
LVDS DRIVER DC SPECIFICATIONS						
V_{OD}	Differential Output Voltage	$R_L = 100$	250	290	450	mV
V_{OD}	Change in V_{OD} between Complimentary Output States				35	mV
V_{OS}	Offset Voltage (Note 4)		1.125	1.25	1.375	V
V_{OS}	Change in V_{OS} between Complimentary Output States				35	mV
I_{OS}	Output Short Circuit Current	$V_{OUT} = 0V, R_L = 100$		- 3.5	- 5	mA
I_{OZ}	Output TRI-STATE Current	$\overline{\text{PWR DWN}} = 0V, V_{OUT} = 0V \text{ or } V_{CC}$		± 1	± 10	μA
LVDS RECEIVER DC SPECIFICATIONS						
V_{TH}	Differential Input High Threshold	$V_{CM} = + 1.2V$			+ 100	mV
V_{TL}	Differential Input Low Threshold		- 100			mV
I_{IN}	Input Current	$V_{IN} = + 2.4V, V_{CC} = 3.6V$			± 10	μA
		$V_{IN} = 0V, V_{CC} = 3.6V$			± 10	μA

電気的特性 (つづき)

特記のない限り、推奨動作電源電圧および動作温度範囲に対して適用。

Symbol	Parameter	Conditions	Min	Typ	Max	Units	
TRANSMITTER SUPPLY CURRENT							
I _{CCTW}	Transmitter Supply Current Worst Case (with Loads)	R _L = 100 Ω, C _L = 5 pF, Worst Case Pattern (Figure 1, 2)	f = 33 MHz		31	45	mA
			f = 40 MHz		32	50	mA
			f = 66 MHz		37	55	mA
			f = 85 MHz		42	60	mA
I _{CCTZ}	Transmitter Supply Current Power Down	PWR DWN = Low Driver Outputs in TRI-STATE under Powerdown Mode		10	55	μA	
RECEIVER SUPPLY CURRENT							
I _{CCRW}	Receiver Supply Current Worst Case	C _L = 8 pF, Worst Case Pattern (Figure 1, 3)	f = 33 MHz		49	70	mA
			f = 40 MHz		53	75	mA
			f = 66 MHz		81	114	mA
			f = 85 MHz		96	135	mA
I _{CCRZ}	Receiver Supply Current Power Down	PWR DWN = Low Receiver Outputs Stay Low during Powerdown Mode		140	400	μA	

Note 1: 「絶対最大定格」とは、この範囲を超えるとデバイスの安全性が保証されないリミット値をいい、これらのリミット値でデバイスが動作することを意味するものではありません。電気的特性の表にデバイスの実動作条件を記載しています。

Note 2: 代表値 (Typ) は全て V_{CC} = 3.3V、T_A = +25℃ で得られる最も標準的な数値です。

Note 3: デバイス端子に流れ込む電流は正、デバイス端子から流れ出る電流は負と定義されます。V_{OD} と V_{OD} 以外、全ての電圧値はグラウンド端子を基準とします。

Note 4: V_{OS} は以前は V_{CM} と表記されていました。

トランスミッタ・スイッチング特性

特記のない限り、推奨動作電源電圧および動作温度範囲に対して適用。

Symbol	Parameter	Conditions	Min	Typ	Max	Units
LLHT	LVDS Low-to-High Transition Time (Figure 2)			0.75	1.5	ns
LHLT	LVDS High-to-Low Transition Time (Figure 2)			0.75	1.5	ns
TCIT	TxCLK IN Transition Time (Figure 4)		1.0		6.0	ns
TPPos0	Transmitter Output Pulse Position for Bit0 (Figure 14)	f = 85 MHz	- 0.20	0	0.20	ns
TPPos1	Transmitter Output Pulse Position for Bit 1		1.48	1.68	1.88	ns
TPPos2	Transmitter Output Pulse Position for Bit 2		3.16	3.36	3.56	ns
TPPos3	Transmitter Output Pulse Position for Bit 3		4.84	5.04	5.24	ns
TPPos4	Transmitter Output Pulse Position for Bit 4		6.52	6.72	6.92	ns
TPPos5	Transmitter Output Pulse Position for Bit 5		8.20	8.40	8.60	ns
TPPos6	Transmitter Output Pulse Position for Bit 6		9.88	10.08	10.28	ns
TCIP	TxCLK IN Period (Figure 5)		11.76	T	50	ns
TCIH	TxCLK IN High Time (Figure 5)		0.35T	0.5T	0.65T	ns
TCIL	TxCLK IN Low Time (Figure 5)		0.35T	0.5T	0.65T	ns
TSTC	TxIN Setup to TxCLK IN (Figure 5)	f = 85 MHz	2.5			ns
THTC	TxIN Hold to TxCLK IN (Figure 5)		0			ns
TCCD	TxCLK IN to TxCLK OUT Delay (Figure 7)	T _A = 25℃, V _{CC} = 3.3V	3.8		6.3	ns
TPLLS	Transmitter Phase Lock Loop Set (Figure 9)				10	ms
TPDD	Transmitter Powerdown Delay (Figure 12)				100	ns
TJIT	TxCLK IN Cycle-to-Cycle Jitter (Input clock requirement)				2	ns

レシーバ・スイッチング特性

特記のない限り、推奨動作電源電圧および動作温度範囲に対して適用。

Symbol	Parameter	Min	Typ	Max	Units	
CLHT	CMOS/TTL Low-to-High Transition Time (Figure 3)		2	3.5	ns	
CHLT	CMOS/TTL High-to-Low Transition Time (Figure 3)		1.8	3.5	ns	
RSPos0	Receiver Input Strobe Position for Bit 0 (Figure 15)	f = 85 MHz	0.49	0.84	1.19	ns
RSPos1	Receiver Input Strobe Position for Bit 1		2.17	2.52	2.87	ns
RSPos2	Receiver Input Strobe Position for Bit 2		3.85	4.20	4.55	ns
RSPos3	Receiver Input Strobe Position for Bit 3		5.53	5.88	6.23	ns
RSPos4	Receiver Input Strobe Position for Bit 4		7.21	7.56	7.91	ns
RSPos5	Receiver Input Strobe Position for Bit 5		8.89	9.24	9.59	ns
RSPos6	Receiver Input Strobe Position for Bit 6		10.57	10.92	11.27	ns
RSKM	RxIN Skew Margin (Note 5) (Figure 16)	f = 85 MHz	290		ps	
RCOP	RxCLK OUT Period (Figure 6)		11.76	T	50	ns
RCOH	RxCLK OUT High Time (Figure 6)	f = 85 MHz	4	5	6.5	ns
RCOL	RxCLK OUT Low Time (Figure 6)		3.5	5	6	ns
RSRC	RxOUT Setup to RxCLK OUT (Figure 6)		3.5			ns
RHRC	RxOUT Hold to RxCLK OUT (Figure 6)		3.5			ns
RCCD	RxCLK IN to RxCLK OUT Delay @ 25 °C, V _{CC} = 3.3V (Note 6) (Figure 8)		5.5	7	9.5	ns
RPLLS	Receiver Phase Lock Loop Set (Figure 10)			10	ms	
RPDD	Receiver Powerdown Delay (Figure 13)			1	μs	

Note 5: レシーバ・スキュー・マージンはレシーバ入力でのサンプリングに必要な有効データ範囲と定義されます。このマージンはトランスミッタ・パルス・ポジション (TPPos min と max) とレシーバの入力セットアップ / ホールド・タイム (内部データ・サンプリング長 - RSPos) により導き出されています。このマージンはLVDS配線スキュー、ケーブル・スキュー (タイプと長さにより異なります) とソース・クロック (150ps) により減少します。

Note 6: チャネルリンク・チップセット全体でのレイテンシは、クロック周期、およびトランスミッタ (TCCD) とレシーバ (RCCD) のゲート・ディレイの関数として表されます。トランスミッタDS90CR217/287とレシーバDS90CR218A/288Aのレイテンシの合計は、Tをクロック周期としたとき、(T + TCCD) + (2*T + RCCD)と表されます。

AC タイミング図

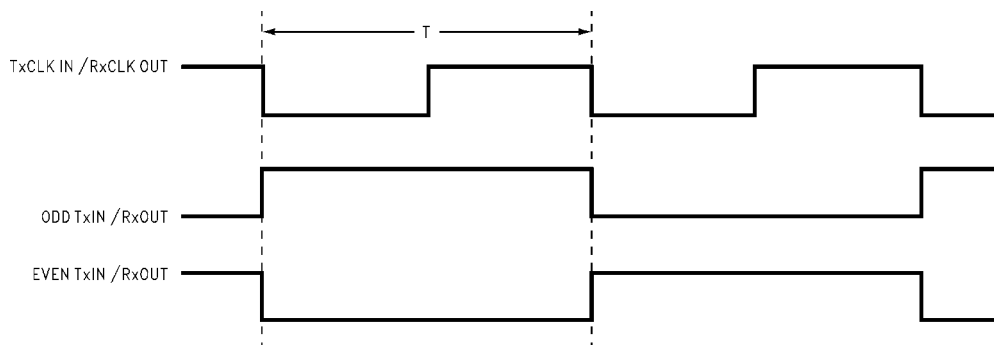


FIGURE 1. "Worst Case" Test Pattern

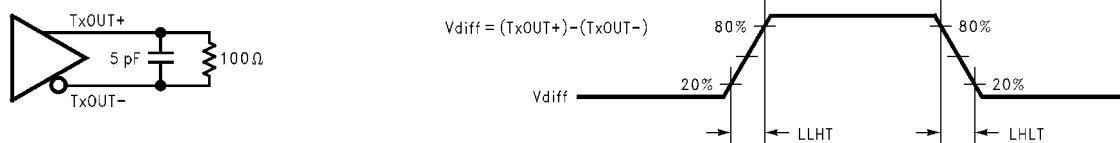


FIGURE 2. DS90CR287 (Transmitter) LVDS Output Load and Transition Times

AC タイミング図 (つづき)

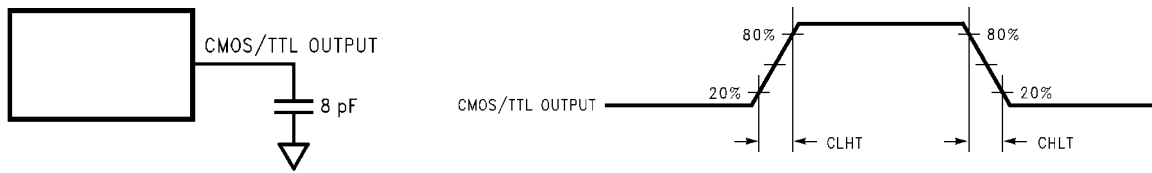


FIGURE 3. DS90CR288A (Receiver) CMOS/TTL Output Load and Transition Times

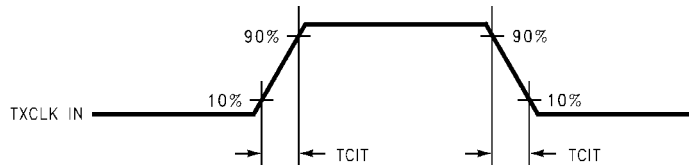


FIGURE 4. DS90CR287 (Transmitter) Input Clock Transition Time

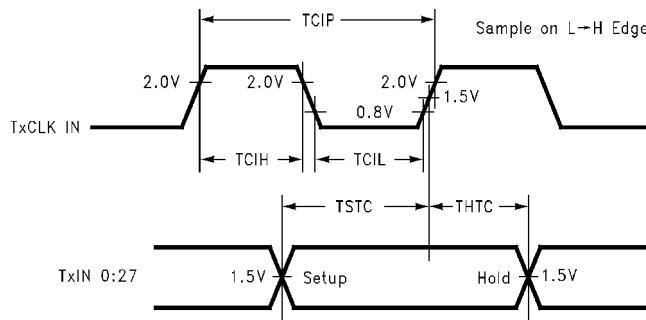


FIGURE 5. DS90CR287 (Transmitter) Setup/Hold and High/Low Times

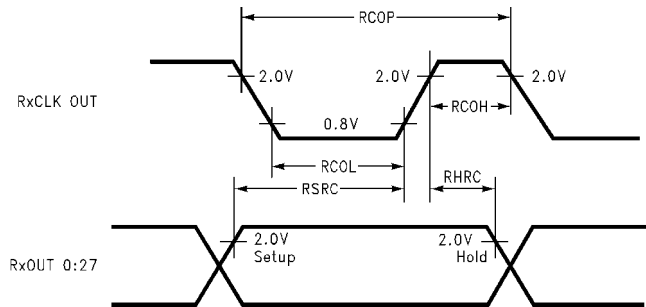


FIGURE 6. DS90CR288A (Receiver) Setup/Hold and High/Low Times

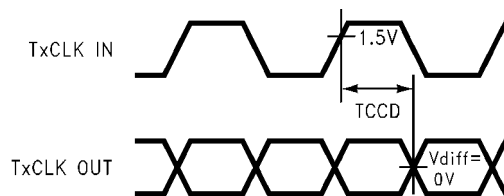


FIGURE 7. DS90CR287 (Transmitter) Clock In to Clock Out Delay

AC タイミング図 (つづき)

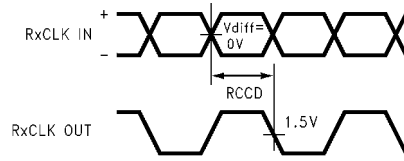


FIGURE 8. DS90CR288A (Receiver) Clock In to Clock Out Delay

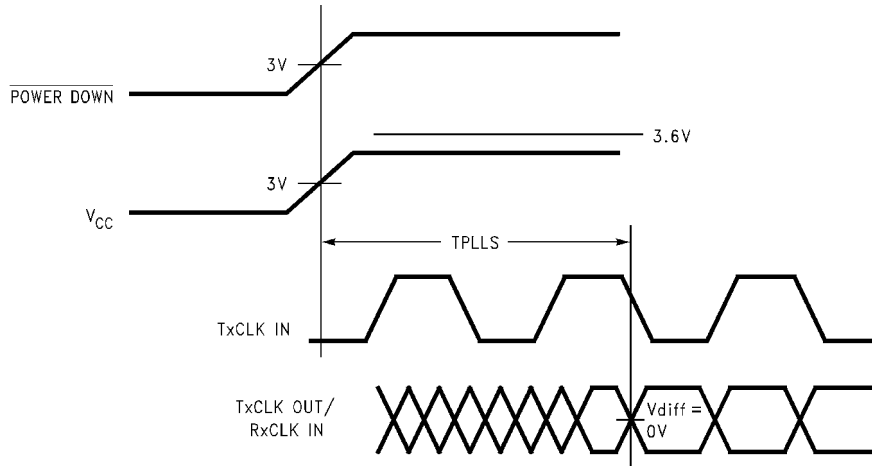


FIGURE 9. DS90CR287 (Transmitter) Phase Lock Loop Set Time

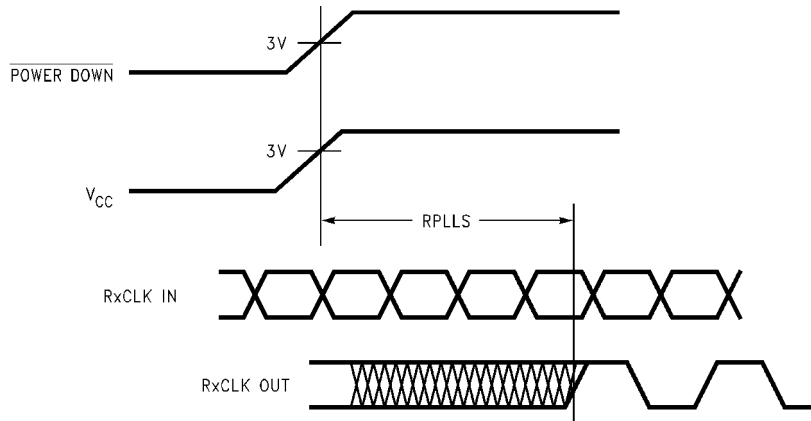


FIGURE 10. DS90CR288A (Receiver) Phase Lock Loop Set Time

AC タイミング図 (つづき)

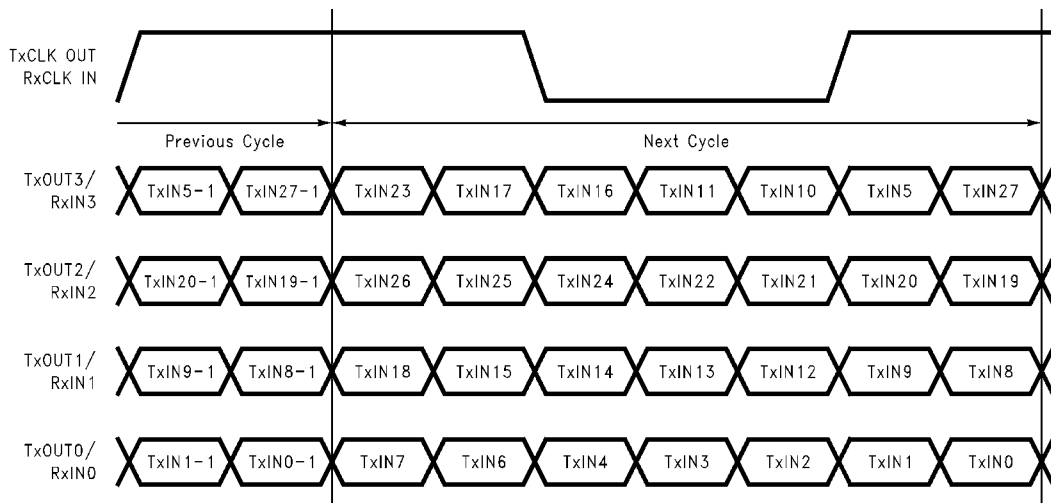


FIGURE 11. 28 Parallel TTL Data Inputs Mapped to LVDS Outputs

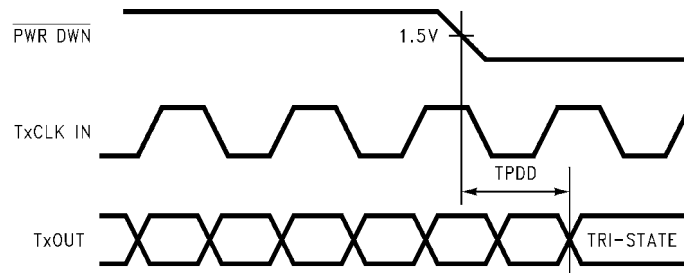


FIGURE 12. Transmitter Powerdown Delay

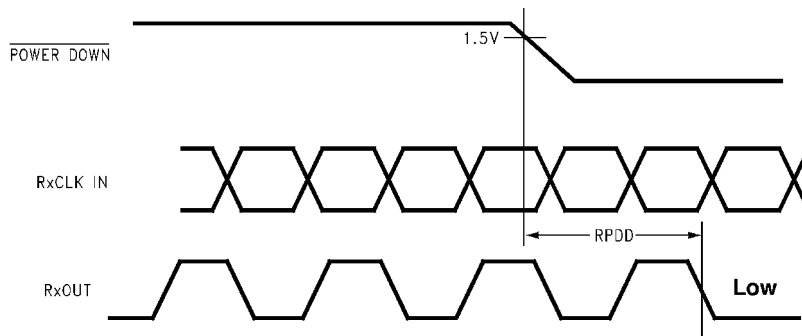


FIGURE 13. Receiver Powerdown Delay

AC タイミング図 (つづき)

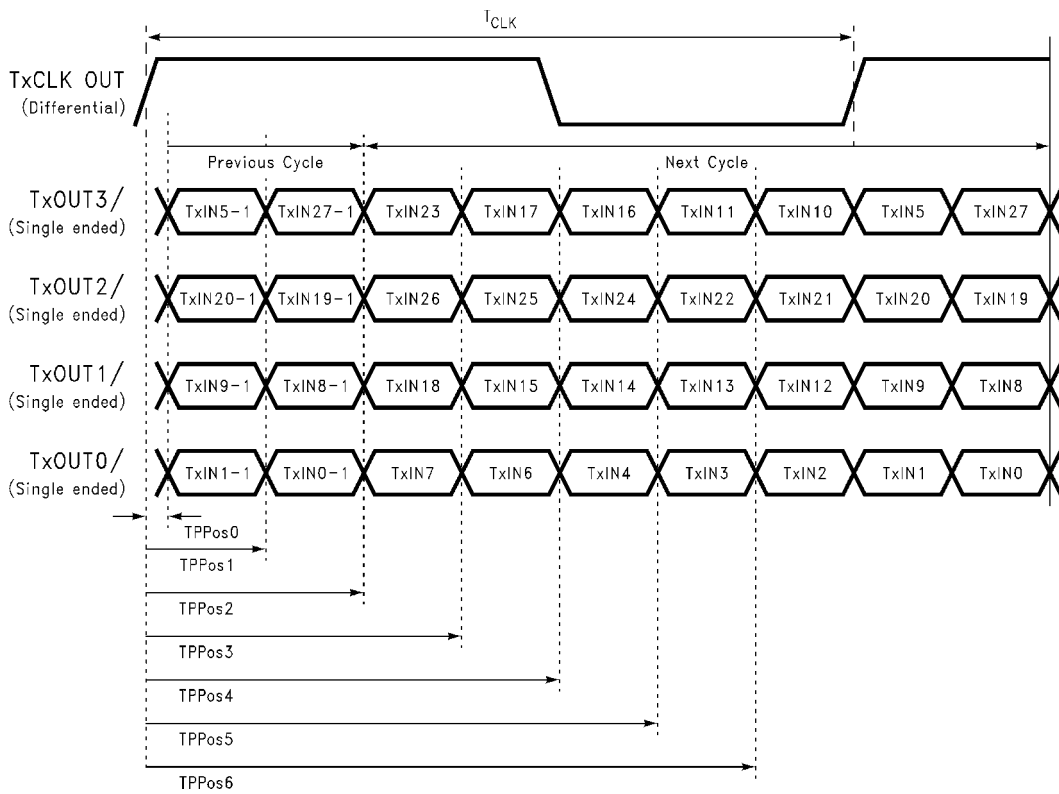


FIGURE 14. Transmitter LVDS Output Pulse Position Measurement

AC タイミング図 (つづき)

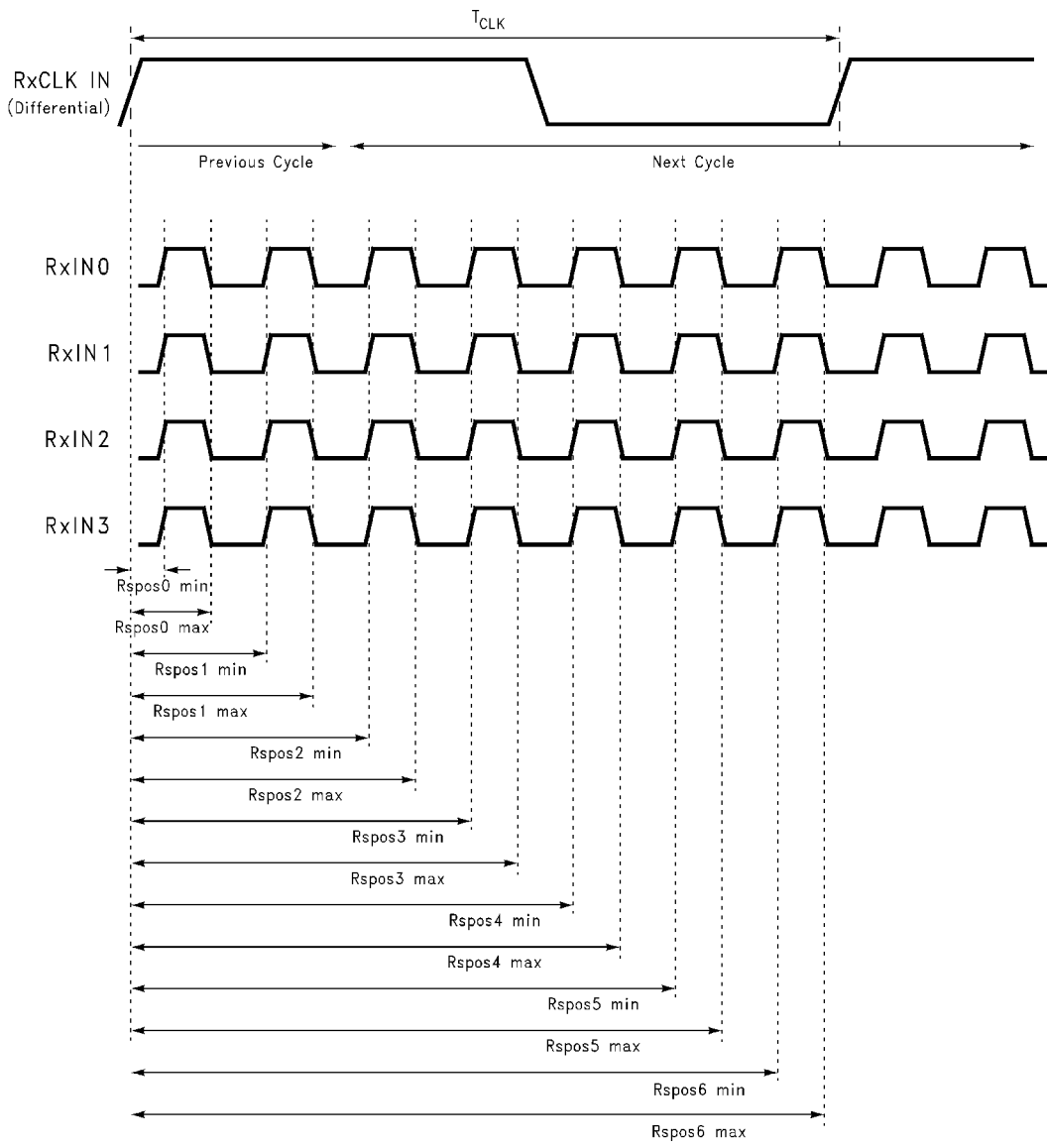
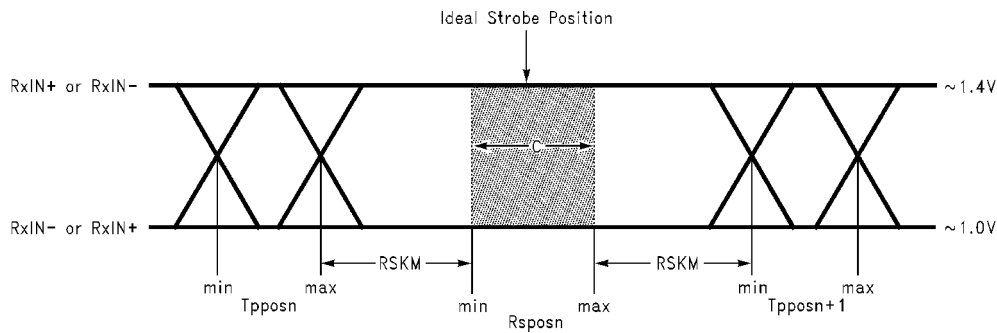


FIGURE 15. Receiver LVDS Input Strobe Position

AC タイミング図 (つづき)



C セットアップ / ホールド・タイム (内部データ・サンプリング長) は R_{sposn} (レシーバ入力ストロブ・ポジション) min と max により定義されます。

T_{pposn} トランスミッタ出力パルス・ポジション (min と max)

R_{SKM} ケーブル・スキュー+ソース・クロック・ジッタ (連続する2クロック間) (Note 7) + ISI (伝送波形干渉) (Note 8)

ケーブル・スキュー 通常 10 ~ 40ps/300mm、ケーブルにより異なります。

Note 7: ジッタは 85MHz で 150ps 以下。

Note 8: ISI は内部配線によります。

FIGURE 16. Receiver LVDS Input Skew Margin

DS90CR287 MTD56 (TSSOP) パッケージ端子説明 - チャネル・リンク・トランスミッタ

端子名	I/O	No.	説明
TxIN	I	28	TTL レベル入力。
TxOUT +	O	4	正の LVDS 差動データ出力
TxOUT -	O	4	負の LVDS 差動データ出力
TxCLK IN	I	1	TTL レベルのクロック入力。立ち上がりエッジがデータ取り込みに使用されます。端子名は TxCLK IN です。「アプリケーション情報」を参照して下さい。
TxCLK OUT +	O	1	正の LVDS 差動クロック出力
TxCLK OUT -	O	1	負の LVDS 差動クロック出力
PWR DOWN	I	1	TTL レベル入力。入力が Low にアサートされると、出力は TRI-STATE になり、パワー・ダウン時に低電流となります。「アプリケーション情報」を参照して下さい。
V _{CC}	I	4	TTL 入力用の電源ピン
GND	I	5	TTL 入力用のグラウンド・ピン
PLL V _{CC}	I	1	PLL 用の電源ピン
PLL GND	I	2	PLL 用のグラウンド・ピン
LVDS V _{CC}	I	1	LVDS 出力用の電源ピン
LVDS GND	I	3	LVDS 出力用のグラウンド・ピン

DS90CR287 SLC64A (FBGA) パッケージ端子要約 - チャネル・リンク・トランスミッタ

端子名	I/O	No.	説明
TxIN	I	28	TTL レベル入力。
TxOUT +	O	4	正の LVDS 差動データ出力
TxOUT -	O	4	負の LVDS 差動データ出力
TxCLK IN	I	1	TTL レベルのクロック入力。立ち上がりエッジがデータ取り込みに使用されます。端子名は TxCLK IN です。「アプリケーション情報」を参照して下さい。
TxCLK OUT +	O	1	正の LVDS 差動クロック出力
TxCLK OUT -	O	1	負の LVDS 差動クロック出力
PWR DOWN	I	1	TTL レベル入力。入力が Low にアサートされると、出力は TRI-STATE になり、パワー・ダウン時に低電流となります。「アプリケーション情報」を参照して下さい。
V _{CC}	I	4	TTL 入力用の電源ピン
GND	I	5	TTL 入力用のグラウンド・ピン

DS90CR287 SLC64A (FBGA) パッケージ端子要約 - チャネル・リンク・トランスミッタ (つづき)

端子名	I/O	No.	説明
PLL V _{CC}	I	1	PLL 用の電源ピン
PLL GND	I	2	PLL 用のグラウンド・ピン
LVDS V _{CC}	I	2	LVDS 出力用の電源ピン
LVDS GND	I	4	LVDS 出力用のグラウンド・ピン
NC		6	未接続

DS90CR287 SLC64A (FBGA) パッケージ端子説明 - チャネル・リンク・トランスミッタ

端子別			端子タイプ別		
端子	端子名	タイプ	端子	端子名	タイプ
A1	TxIN27	I	D3	GND	G
A2	TxOUT0 -	O	E4	GND	G
A3	TxOUT0 +	O	E8	GND	G
A4	LVDS VCC	P	G1	GND	G
A5	LVDS VCC	P	G6	GND	G
A6	TxCLK OUT -	O	B3	LVDS GND	G
A7	TxCLK OUT +	O	B4	LVDS GND	G
A8	TxOUT3 +	O	B7	LVDS GND	G
B1	TxIN1	I	D5	LVDS GND	G
B2	TxIN0	I	C6	PLL GND	G
B3	LVDS GND	G	D6	PLL GND	G
B4	LVDS GND	G	D7	PWR DOWN	I
B5	TxOUT2 -	O	C8	TxCLK IN	I
B6	TxOUT3 -	O	B2	TxIN0	I
B7	LVDS GND	G	B1	TxIN1	I
B8	NC		D2	TxIN2	I
C1	TxIN3	I	C1	TxIN3	I
C2	NC		D1	TxIN4	I
C3	NC		F1	TxIN5	I
C4	TxOUT1 -	O	E2	TxIN6	I
C5	TxOUT2 +	O	E3	TxIN7	I
C6	PLL GND	G	G2	TxIN8	I
C7	PLL VCC	P	H1	TxIN9	I
C8	TxCLK IN	I	G3	TxIN10	I
D1	TxIN4	I	H3	TxIN11	I
D2	TxIN2	I	F4	TxIN12	I
D3	GND	G	G4	TxIN13	I
D4	TxOUT1 +	O	H4	TxIN14	I
D5	LVDS GND	G	H5	TxIN15	I
D6	PLL GND	G	E5	TxIN16	I
D7	PWR DOWN	I	F5	TxIN17	I
D8	TxIN26	I	H6	TxIN18	I
E1	VCC	P	H7	TxIN19	I
E2	TxIN6	I	H8	TxIN20	I
E3	TxIN7	I	G7	TxIN21	I
E4	GND	G	F7	TxIN22	I
E5	TxIN16	I	G8	TxIN23	I

DS90CR287 SLC64A (FBGA) パッケージ端子説明 - チャネル・リンク・トランスミッタ (つづき)

端子別			端子タイプ別		
端子	端子名	タイプ	端子	端子名	タイプ
E6	VCC	P	E7	TxIN24	I
E7	TxIN24	I	F8	TxIN25	I
E8	GND	G	D8	TxIN26	I
F1	TxIN5	I	A1	TxIN27	I
F2	NC		A6	TxCLK OUT -	O
F3	NC		A7	TxCLK OUT +	O
F4	TxIN12	I	A2	TxOUT0-	O
F5	TxIN17	I	A3	TxOUT0 +	O
F6	NC		C4	TxOUT1 -	O
F7	TxIN22	I	D4	TxOUT1 +	O
F8	TxIN25	I	B5	TxOUT2 -	O
G1	GND	G	C5	TxOUT2 +	O
G2	TxIN8	I	B6	TxOUT3 -	O
G3	TxIN10	I	A8	TxOUT3 +	O
G4	TxIN13	I	A4	LVDS VCC	P
G5	VCC	P	A5	LVDS VCC	P
G6	GND	G	C7	PLL VCC	P
G7	TxIN21	I	E1	VCC	P
G8	TxIN23	I	E6	VCC	P
H1	TxIN9	I	G5	VCC	P
H2	VCC	P	H2	VCC	P
H3	TxIN11	I	B8	NC	
H4	TxIN14	I	C2	NC	
H5	TxIN15	I	C3	NC	
H6	TxIN18	I	F2	NC	
H7	TxIN19	I	F3	NC	
H8	TxIN20	I	F6	NC	

G : グラウンド
I : 入力
O : 出力
P : 電源
NC : 未接続

DS90CR288A MTD56 (TSSOP) パッケージ端子説明 - チャネル・リンク・レシーバ

端子名	I/O	No.	説明
RxIN +	I	4	正の LVDS 差動データ入力
RxIN -	I	4	負の LVDS 差動データ入力
RxOUT	O	28	TTL レベルデータ出力。
RxCLK IN +	I	1	正の LVDS 差動クロック入力
RxCLK IN -	I	1	負の LVDS 差動クロック入力
RxCLK OUT	O	1	TTL レベルのクロック出力。立ち上がりエッジがデータ取り込みで使用されます。端子名は RxCLK OUT です。
PWR DOWN	I	1	TTL レベル入力。入力が Low にアサートされると、レシーバ出力は Low になります。
V _{CC}	I	4	TTL 出力用の電源ピン
GND	I	5	TTL 出力用のグラウンド・ピン
PLL V _{CC}	I	1	PLL 用の電源ピン
PLL GND	I	2	PLL 用のグラウンド・ピン
LVDS V _{CC}	I	1	LVDS 入力用の電源ピン

DS90CR288A MTD56 (TSSOP) パッケージ端子説明 - チャネル・リンク・レシーバ(つづき)

端子名	I/O	No.	説明
LVDS GND	I	3	LVDS 入力用のグラウンド・ピン

DS90CR288A SLC64A (FBGA) パッケージ端子要約 - チャネル・リンク・トランスミッタ

端子名	I/O	No.	説明
RxIN +	I	4	正の LVDS 差動データ入力
RxIN -	I	4	負の LVDS 差動データ入力
RxOUT	O	28	TTL レベル出力。
RxCLK IN +	I	1	正の LVDS 差動クロック入力
RxCLK IN -	I	1	負の LVDS 差動クロック入力
RxCLK OUT	O	1	TTL レベルのクロック出力。立ち上がりエッジがデータ取り込みに使用されます。
PWR DOWN	I	1	TTL レベル入力。入力が Low にアサートされると、出力は TRI-STATE になり、パワー・ダウン時に低電流となります。
V _{CC}	I	4	TTL 出力用の電源ピン
GND	I	5	TTL 出力用のグラウンド・ピン
PLL V _{CC}	I	1	PLL 用の電源ピン
PLL GND	I	2	PLL 用のグラウンド・ピン
LVDS V _{CC}	I	2	LVDS 入力用の電源ピン
LVDS GND	I	4	LVDS 入力用のグラウンド・ピン
NC		6	未接続

DS90CR288A SLC64A (FBGA) パッケージ端子説明 - チャネル・リンク・トランスミッタ

端子別			端子タイプ別		
端子	端子名	タイプ	端子	端子名	タイプ
A1	RxOUT17	O	A4	GND	G
A2	VCC	P	B1	GND	G
A3	RxOUT15	O	B6	GND	G
A4	GND	G	D8	GND	G
A5	RxOUT12	O	E3	GND	G
A6	RxOUT8	O	E5	LVDS GND	G
A7	RxOUT7	O	G3	LVDS GND	G
A8	RxOUT6	O	G7	LVDS GND	G
B1	GND	G	H5	LVDS GND	G
B2	NC		F6	PLL GND	G
B3	RxOUT16	O	G8	PLL GND	G
B4	RxOUT11	O	E6	PWR DOWN	I
B5	VCC	P	H6	RxCLK IN -	I
B6	GND	G	H7	RxCLK IN +	I
B7	RxOUT5	O	H2	RxIN0 -	I
B8	RxOUT3	O	H3	RxIN0 +	I
C1	RxOUT21	O	F4	RxIN1 -	I
C2	NC		G4	RxIN1 +	I
C3	RxOUT18	O	G5	RxIN2 -	I
C4	RxOUT14	O	F5	RxIN2 +	I
C5	RxOUT9	O	G6	RxIN3 -	I

DS90CR288A SLC64A (FBGA) パッケージ端子説明 - チャネル・リンク・トランスミッタ (つづき)

端子別			端子タイプ別		
端子	端子名	タイプ	端子	端子名	タイプ
C6	RxOUT4	O	H8	RxIN3 +	I
C7	NC		E7	RxCLK OUT	O
C8	RxOUT1	O	E8	RxOUT0	O
D1	VCC	P	C8	RxOUT1	O
D2	RxOUT20	O	D7	RxOUT2	O
D3	RxOUT19	O	B8	RxOUT3	O
D4	RxOUT13	O	C6	RxOUT4	O
D5	RxOUT10	O	B7	RxOUT5	O
D6	VCC	P	A8	RxOUT6	O
D7	RxOUT2	O	A7	RxOUT7	O
D8	GND	G	A6	RxOUT8	O
E1	RxOUT22	O	C5	RxOUT9	O
E2	RxOUT24	O	D5	RxOUT10	O
E3	GND	G	B4	RxOUT11	O
E4	LVDS VCC	P	A5	RxOUT12	O
E5	LVDS GND	G	D4	RxOUT13	O
E6	PWR DOWN	I	C4	RxOUT14	O
E7	RxCLK OUT	O	A3	RxOUT15	O
E8	RxOUT0	O	B3	RxOUT16	O
F1	RxOUT23	O	A1	RxOUT17	O
F2	RxOUT26	O	C3	RxOUT18	O
F3	NC		D3	RxOUT19	O
F4	RxIN1 -	I	D2	RxOUT20	O
F5	RxIN2 +	I	C1	RxOUT21	O
F6	PLL GND	G	E1	RxOUT22	O
F7	PLL VCC	P	F1	RxOUT23	O
F8	NC		E2	RxOUT24	O
G1	RxOUT25	O	G1	RxOUT25	O
G2	NC		F2	RxOUT26	O
G3	LVDS GND	G	H1	RxOUT27	O
G4	RxIN1 +	I	E4	LVDS VCC	P
G5	RxIN2 -	I	H4	LVDS VCC	P
G6	RxIN3 -	I	F7	PLL VCC	P
G7	LVDS GND	G	A2	VCC	P
G8	PLL GND	G	B5	VCC	P
H1	RxOUT27	O	D1	VCC	P
H2	RxIN0 -	I	D6	VCC	P
H3	RxIN0 +	I	B2	NC	
H4	LVDS VCC	P	C2	NC	
H5	LVDS GND	G	C7	NC	
H6	RxCLK IN -	I	F3	NC	
H7	RxCLK IN +	I	F8	NC	
H8	RxIN3 +	I	G2	NC	

G : グラウンド
I : 入力
O : 出力
P : 電源
NC : 未接続

アプリケーション情報

DS90CR287 と DS90CR288A の TSSOP 版は既存の 5V チャネル・リンク・トランスミッタ/レシーバ・ペア (DS90CR283 と DS90CR284) と互換性があります。5V から 3.3V システムへ移行するには、次の点に注意してください。

電源を 5V から 3.3V へ変更し、トランスミッタとレシーバの全電源ピン (V_{CC} 、LVDS V_{CC} 、PLL V_{CC}) に供給してください。

9. トランスミッタの入力ピンと制御入力ピンには 3.3V TTL/CMOS 信号を入力してください。5V 信号入力耐圧はありません。

10. レシーバはパワーダウン時に出力が Low に固定されます。

チャネル・リンクはいろいろなデータ送受信システムでの使用のために開発されました。システムにより接続する部材は異なります。例えば低速でかつケーブル長も短い (< 2m) 場合には、部材の電気的性能はさほど重要とはなりません。高速かつ長距離のアプリケーションでは部材の性能が重要となります。実際、ケーブルの構成によりスキュー (ペア間における接続点間の電気的な線長差) を低減する事ができます。より詳しい内容については以下のアプリケーション・ノートを参照ください。

AN = ####	Topic
AN-1041	Introduction to Channel Link
AN-1108	Channel Link PCB and Interconnect Design-In Guidelines
AN-806	Transmission Line Theory
AN-905	Transmission Line Calculations and Differential Impedance
AN-916	Cable Information

ケーブル : トランスミッタとレシーバのインタフェースに用いられている差動の LVDS 信号はケーブルにより伝送されます。21 ビット・チャネル・リンク・チップセット (DS90CR217/218A) では 4 ペアの信号線が、28 ビット・チャネル・リンク・チップセット (DS90CR287/288A) では 5 ペアの信号線が必要となります。理想的なケーブル / コネクタのインタフェースは伝送路すべてにわたり 100 一定の差動インピーダンスに保つことです。また、レシーバで十分なデータのサンプル・ウィンドウを確保するために 140ps (85MHz 時) 以下にスキューを抑えてください。

さらに、データとクロックを伝送する 4 または 5 ペアのケーブルに最低 1 本 (または 1 ペア) のグラウンドを用意することを推奨します。このグラウンドによりコモン・モードのリターン・パスを構成できます。一対一のアプリケーションで一般的に使用されているケーブルにはフラット、フレックス、ツイストペア、TWIN-COAX があります。構成やオプションによつてさまざまなケーブルが用意されています。フラット、フレックス、ツイスト・ペアは短い一対一のアプリケーションには十分です。TWIN-COAX は長短どちらでも高い性能を示します。フラット・ケーブル使用時には各差動信号間にグラウンド線を入れることを推奨します。このグラウンドにより、近接するペア間のノイズによる干渉を防ぐことができます。TWIN-COAX ケーブルでは各ケーブルペアをシールドすることを推奨します。一対一で距離を伸ばす場合にはケーブルのタイプによらず全ケーブル・ペアをシールドしてください。全体をシールドすることで、EMS や EMI に起因する問題を解決し、長距離化、高速化といった伝送パラメータの向上になります。

いろいろなケーブル・タイプで LVDS 信号はすばらしい性能を示しています。しかし、総合的に最高の性能となったのは TWIN-COAX ケーブルを使用したときでした。TWIN-COAX ケーブルはその構造とシールドの二重化により、優れたスキューと EMI 性能をもっています。本項と関連のアプリケーション・ノートには設計者に有用な数多くのガイドラインが記載されています。設計者は各

アプリケーションで安全かつ経済的なケーブルのために様々なトレードオフを査定するよう推奨します。

レシーバ・フェイルセーフ機能 : 本レシーバは、レシーバ入力が入力段にフェイルセーフのバイアス回路を備えています。これにより、前記のようにオープンもしくは終端された状態でも、レシーバ出力は HIGH になります。したがって、もしクロック信号が有効であればすべてのデータ出力も HIGH になります。もしクロック信号がオープンもしくは終端されていたとすると、レシーバ出力は最後の有効な状態を保持します。なおクロック入力が入力段にオープンもしくは終端されていると、クロック出力は HIGH になります。

ボード・レイアウト : LVDS の EMI、ノイズ・マージンを最大限活用するには差動信号のレイアウトに注意を払う必要があります。他の信号からのノイズによる干渉を抑え、差動信号のノイズ・キャンセル性能を有効に利用するために、差動信号ラインは常に近接してなければなりません。また、差動信号線長も等長になるようトレースを調整してください。あらゆる高速設計において、インピーダンスの不整合は避けなければなりません (ヴィアを減らす、90 度に曲がるトレースを避けるなど)。差動信号の一方のラインにインピーダンスの不整合があると他方の信号ラインにも影響が現れます。差動信号のトレースのインピーダンスは選択されたケーブルのインピーダンスと整合してなければなりません (このインピーダンスはレシーバ入力端で差動信号間に入れる終端抵抗とも一致してなければなりません)。最後に、チャネル・リンクの TxOUT/RxIN ピンは、PCB 上での余分なトレースを避けるためにボードの端にできるだけ近づけてください。これらはすべて高速性や EMI に影響を与える反射やクロストークを抑制するものです。

入力 : TxIN 端子および制御入力端子は、LVCMOS レベルもしくは LVTTTL レベルに互換です。ただしこれら入力は 5V 耐圧ではありません。

未使用入力 : TxIN の未使用入力はすべてグラウンドに接続するか未接続状態のままにしてください。レシーバの未使用入力はオープンのままでかまいません。

終端 : 電流モードのドライバではレシーバの入力に終端抵抗が必要です。チャネル・リンク・チップセットではレシーバ差動入力ペアの + と - ごとに 100 の終端抵抗が必要です。実際の終端抵抗値はケーブルの差動特性インピーダンス (90 ~ 120) と同じになるように選択します。Figure 17 の例を参照ください。PECL のような他の差動信号と異なりプルアップやプルダウンの抵抗も必要ありません。リードのインダクタンスを減らすために表面実装タイプの抵抗を推奨します。終端抵抗は差動信号を効果的に終端し、スタブを短くするためにレシーバ入力ピンにできるだけ近くに配置してください。

デカップリング・コンデンサ : 性能を制限するスイッチング・ノイズを低減するために、バイパス・コンデンサを入れてください。各 V_{CC} と GND に 3 個並列にデカップリング・コンデンサ (多層セラミックの表面実装タイプ) を挿入することを推奨します (Figure 18)。3 個のコンデンサの値は 0.1 μ F、0.01 μ F、0.001 μ F です。電源とグラウンドはできるだけ幅広のトレースを使用し各コンデンサはそれぞれ個別にグラウンド接続してください。ボード上に十分なスペースがない場合、PLL V_{CC} 、LVDS V_{CC} 、ロジック V_{CC} の順に優先してください。

アプリケーション情報 (つづき)

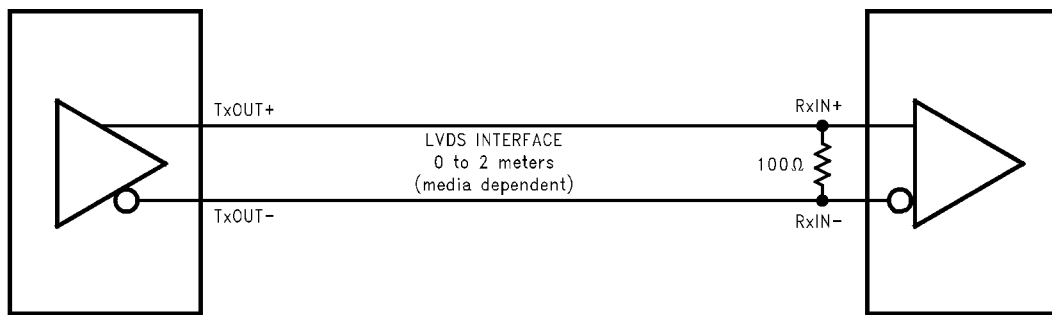
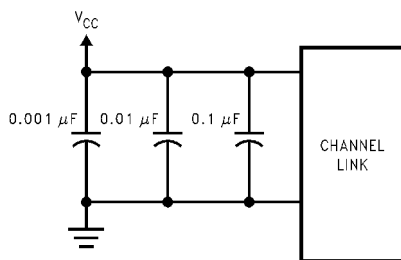


FIGURE 17. LVDS Serialized Link Termination

FIGURE 18. CHANNEL LINK
Decoupling Configuration

クロック・ジッタ：チャンネル・リンクでは PLL により LVDS を介して送られてきたクロックを再生します。LVDS 上のシリアル化されたデータ、1 ビットの幅はクロックの 1/7 となります。例えば 85MHz クロックでは周期は約 11.76ns、1 ビットのデータ幅は 1.68ns となります。差動スキュー (1 差動ペア内の t)、接続スキュー (差動ペア間の t)、クロック・ジッタはシリアル化されたデータをサンプリングするマージンを減少させる要因となります。トランスミッタへ入力するクロックはできるだけきれいなクロックを入力してください。各 V_{CC} ごとのデカップリング・コンデンサにより内部 PLL へ回り込むジッタを低減する事ができ、LVDS クロックのジッタも低減できます。全体のジッタ、スキューのマージンの割り振りにここでの測定が役立ちます。

クロック入力：デバイスがイネーブルの間はクロックを常に入力しなければなりません。クロック停止時は PWR DOWN ピンをアサートして PLL をディスエーブルにしてください。クロックの供給が再開されたら PWR DOWN ピンをネゲートしてデバイスをイネーブルに戻してしてください。クロックが停まっている状態でイネーブルにしてはなりません。

ノイズ・マージン：通常、LVDS 信号は +1.2V を振幅の中心として、信号振幅 300mV です。チャンネル・リンク・レシーバは 100mV のスレッショルド範囲を持っているため、200mV の差動ノイズ・マージンとなります。差動信号によるデータ転送ではコモン・モードの対策がシステムではより重要です。LVDS レシーバの入力範囲はグラウンドから +2.4V です。つまり、グラウンド・レベルの違いやコモン・モード・ノイズにより振幅の中心が $\pm 1V$ の変動が許されています。

パワー・シーケンスとパワーダウン・モード：チャンネル・リンク・トランスミッタの出力は電源電圧が 2V になるまでトライステートを維持します。クロックとデータ出力は V_{CC} が 3V、PWR DOWN ピンが 1.5V 以上になってから 10ms 後に動作を開始します。ドライバ、レシーバともに PWR DOWN ピン (Low アクティブ) に Low を入力するだけで、いつでもパワーダウン・モードにできます。この時消費電力は 5 μ W (typ) まで落とすことができます。

トランスミッタの入力クロックは、トランスミッタの電源を入れてトランスミッタが動作するより先に印加してかまいません。あるいはトランスミッタの入力クロックは、トランスミッタの電源を入れた後に印加してかまいませんが、ただしそのときは、「クロック入力」の項で説明したように PWR DOWN ピンを使う必要があります。しかるべきクロック信号を TxCLK IN ピンに印加していないときに、トランスミッタの電源を入れ、PWR DOWN ピンを "H" レベルにしてトランスミッタを動かすことはしないでください。

チャンネル・リンク・チップセットはトランスミッタ、レシーバどちらかの電源が落ちた場合に自身を保護する設計になっています。もしトランスミッタの電源が落ちた場合、レシーバのクロック (入力、出力とも) は停止します。データ出力 (RxOUT) はクロックが止まった時点での状態を保持します。レシーバの電源が落ちた場合、レシーバの入力は内部のダイオードを介して V_{CC} に短絡されます。この時流れ込む電流は定電流ドライバのため制限 (入力あたり 5mA) されます。このようにしてラッチアップを回避しています。

アプリケーション情報 (つづき)

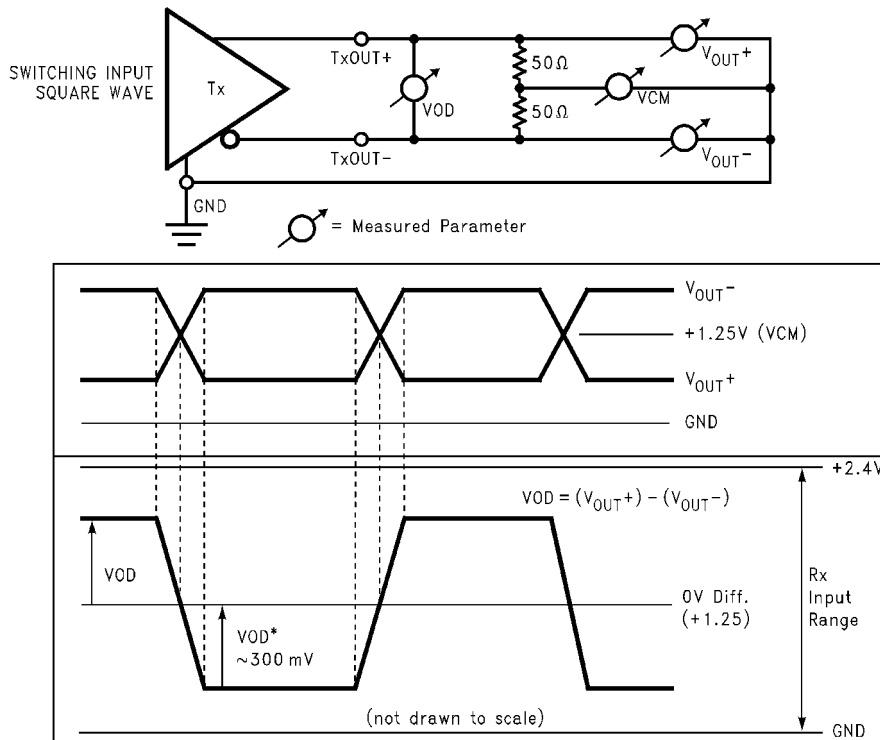
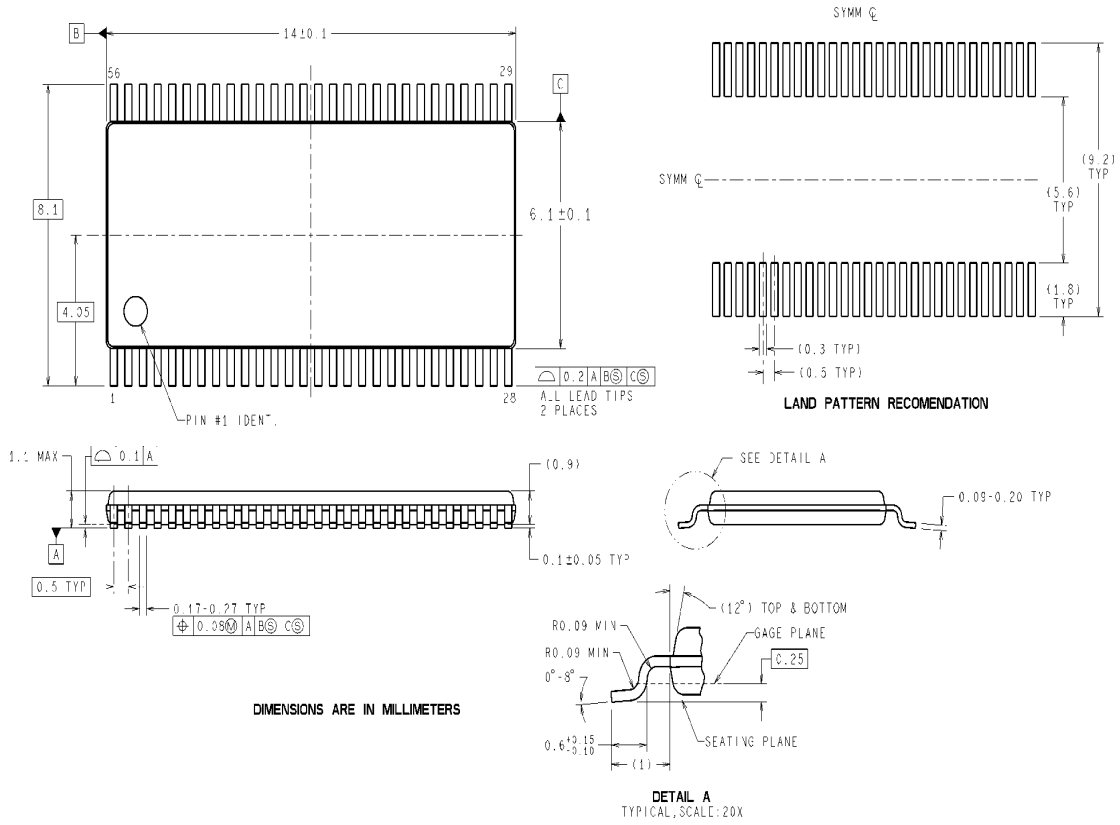
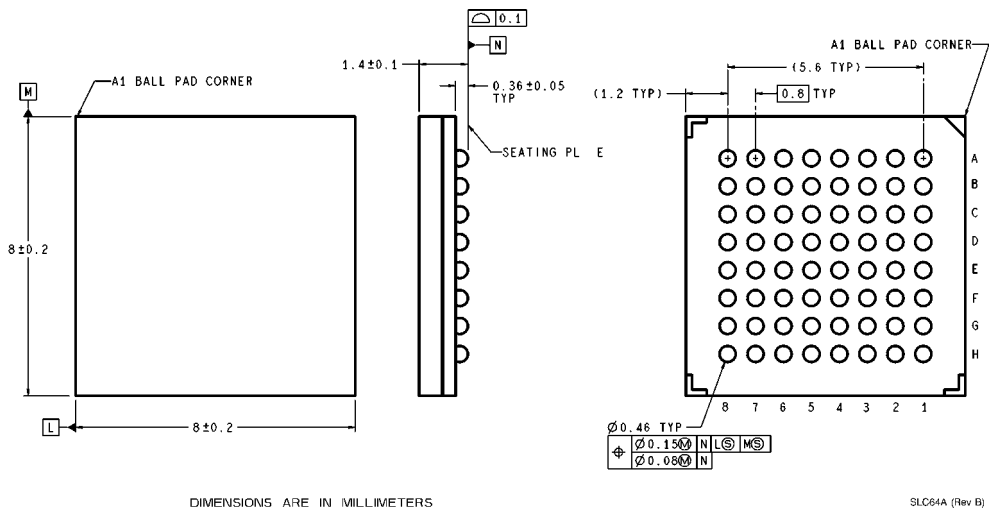


FIGURE 19. Single-Ended and Differential Waveforms

外形寸法図 単位は millimeters



56-Lead Molded Thin Shrink Small outline Package, JEDEC
Order Number DS90CR287MTD or DS90CR288AMTD
Dimensions shown in millimeters only
NS Package Number MTD56



64 ball, 0.8mm fine pitch ball grid array (FBGA) package
Dimensions shown in millimeters only
Order Number DS90CR287SLC or DS90CR288ASLC
NS Package Number SLC64A

生命維持装置への使用について

弊社の製品はナショナル セミコンダクター社の書面による許可なくしては、生命維持用の装置またはシステム内の重要な部品として使用することはできません。

1. 生命維持用の装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用方法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。
2. 重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

ナショナル セミコンダクター ジャパン株式会社

本社 / 〒 135-0042 東京都江東区木場 2-17-16 TEL.(03)5639-7300

技術資料（日本語 / 英語）はホームページより入手可能です。

<http://www.national.com/JPN/>

その他のお問い合わせはフリーダイヤルをご利用下さい。



0120-666-116